

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 1月23日

出 願 番 号
Application Number:

特願2003-014645

[ST.10/C]:

[JP 2003-014645]

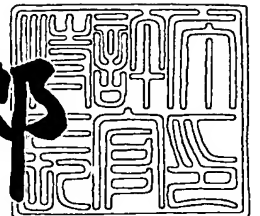
出 願 人
Applicant(s):

三菱電機株式会社

2003年 2月21日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3009164

【書類名】 特許願

【整理番号】 543204JP01

【提出日】 平成15年 1月23日

【あて先】 特許庁長官殿

【国際特許分類】 H03B 5/18

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 松塚 隆之

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 任意の周波数で共振する共振回路と、

一方の端部が上記共振回路に接続された、上記周波数の高周波信号を伝送する伝送線路部と、

上記伝送線路部の他方の端部に接続された第 1 の電極と、リアクタンス要素を介して接地された第 2 の電極と、第 3 の電極とを有する能動素子と、

一方の端部が上記能動素子の第 3 の電極に接続され発振電力を制限するダイオード部と、該ダイオード部の他方の端部に接続された高周波信号出力端とを含んでいる出力整合回路と、

上記共振回路、伝送線路部、能動素子および出力整合回路が一方の主面に配置された基板とを備えていることを特徴とする半導体集積回路装置。

【請求項 2】 上記ダイオード部が、逆並列に配置された複数のダイオードで構成されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 上記ダイオード部が、直列に配置された複数のダイオードで構成されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 4】 上記ダイオード部に直流バイアスを印加するバイアス回路を備えていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 5】 任意の周波数で共振する共振回路と、

一方の端部が上記共振回路に接続され、上記周波数の高周波信号を伝送する伝送線路部と、

一方の端部が上記伝送線路部の他方の端部に接続された、発振電力を制限するダイオード部を含んでいる発振電力制限回路と、

上記発振電力制限回路の他方の端部に接続された第 1 の電極と、リアクタンス要素を介して接地された第 2 の電極と、第 3 の電極とを有する能動素子と、

上記能動素子の第 3 の電極に接続された、高周波信号出力端を含んでいる出力整合回路と、

上記共振回路、伝送線路部、発振電力制限回路、能動素子および出力整合回路

が一方の主面に配置された基板とを備えていることを特徴とする半導体集積回路装置。

【請求項 6】 上記ダイオード部が、逆並列に配置された複数のダイオードで構成されていることを特徴とする請求項 5 に記載の半導体集積回路装置。

【請求項 7】 上記ダイオード部が、直列に配置された複数のダイオードで構成されていることを特徴とする請求項 5 に記載の半導体集積回路装置。

【請求項 8】 上記ダイオード部に直流バイアスを印加するバイアス回路を備えていることを特徴とする請求項 5 に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関するものであり、より詳しくは、主としてマイクロ波・ミリ波領域で動作する発振器に関するものである。

【0002】

【従来の技術】

基板上に、所定の周波数の高周波信号を生成する共振回路と、この高周波信号を増幅するトランジスタとが設けられた、半導体集積回路からなる発振器はよく知られている（例えば、特許文献 1 参照）。

【0003】

ところで、この種の従来の発振器では、発振の平衡状態ではトランジスタに過大な電力が入力され、これに起因してデバイス破壊や雑音特性の悪化が生じるおそれがある。そこで、従来の発振器では、普通、このような不具合を回避するため、小信号ループ利得を低下させて、より小さい電力で発振の平衡状態に達するようにしている。

【0004】

【特許文献 1】

特開昭 6 4 - 5 2 0 6 号公報（第 2 頁左下欄、右下欄、第 1 図）

【0005】

【発明が解決しようとする課題】

このように、従来の発振器では、発振の平衡状態でトランジスタに入力される電力を低減するため、小信号ループ利得を低下させてより小さい電力で発振の平衡状態に達するようにしている。このため、従来の発振器では、例えば、環境温度や製造条件のばらつき等により、トランジスタの利得変動に対する特性変動が大きくなり、実際には電力の過入力に対する対策をとることができないことが多い、といった問題がある。

【 0 0 0 6 】

本発明は、上記従来の問題を解決するためなされたものであって、小信号ループ利得を低下させることなく、発振の平衡状態に達したときの発振電力を小さくすることができる半導体集積回路ないし発振器を提供することを目的ないしは解決すべき課題とする。

【 0 0 0 7 】

【課題を解決するための手段】

上記課題を解決するためになされた本発明にかかる半導体集積回路装置は、ダイオードを用いた電力振幅を制限する回路構造を持つことを特徴とする。具体的には、この半導体集積回路装置においては、基板の一方の主面（ないしは広がり面）に、共振回路、伝送線路部、能動素子および出力整合回路が配置されている。共振回路は、任意の（ないしは所定の）周波数で共振する。伝送線路部は、その一方の端部が共振回路に接続され、上記周波数の高周波信号を伝送する。能動素子は、伝送線路部の他方の端部に接続された第 1 の電極と、リアクタンス要素を介して接地された第 2 の電極と、第 3 の電極とを有する。出力整合回路は、一方の端部が能動素子の第 3 の電極に接続され発振電力を制限するダイオード部と、ダイオード部の他方の端部に接続された高周波信号出力端とを含んでいる。

【 0 0 0 8 】

【発明の実施の形態】

以下、添付の図面を参照しつつ、本発明のいくつかの実施の形態を具体的に説明する。

【 0 0 0 9 】

実施の形態 1.

まず、図 1～図 3 を参照しつつ、本発明の実施の形態 1 を説明する。図 1 は、本発明の実施の形態 1 にかかる発振器の回路図である。図 2 は、図 1 に示す発振器における、ダイオードの反射特性と発振電力との関係を示すグラフである。図 3 は、図 1 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。

【 0 0 1 0 】

図 1 に示すように、実施の形態 1 にかかる発振器（半導体集積回路装置）においては、半導体材料からなる基板（図示せず）の一方の主面（広がり面）に、FET 1（電界効果トランジスタ）と、ダイオード 2 を備えた出力整合回路 C 2 と、キャパシタ 3 とインダクタ 4 とを備えた LC 直列共振回路 C 1 と、伝送線路 5 と、ソースインダクタ 6 とが配設されている。

【 0 0 1 1 】

ここで、LC 直列共振回路 C 1 を構成するキャパシタ 3 とインダクタ 4 とは、互いに直列に接続されている。キャパシタ 3 の一方の対向電極は接地され、他方の対向電極はインダクタ 4 の一方の端部に接続されている。インダクタ 4 の他方の端部は、伝送線路 5 の一方の端部に接続されている。かくして、LC 直列共振回路 C 1 は、外部から振動する電気信号が印加されたときに、所定の周波数（共振周波数）で共振して該周波数の高周波信号を生成し、この高周波信号を伝送線路 5 に出力する。なお、上記キャパシタ 3 の代わりに可変容量素子（例えばバラクタダイオード）を用いても良い。その場合、可変容量素子の容量を変化させることにより、発振周波数を変化させることが出来る。

【 0 0 1 2 】

伝送線路 5 の他方の端部は、FET 1 のゲート（第 1 の電極）に接続され、LC 直列共振回路 C 1 から入力された共振周波数の高周波信号を、FET 1 のゲートに伝送する。ここで、伝送線路 5 は、高周波信号の位相条件を決定する。

【 0 0 1 3 】

FET 1 のソース（第 2 の電極）は、ソースインダクタ 6（リアクタンス要素）を介して接地されている。また、FET 1 のドレイン（第 3 の電極）は、出力整合回路 C 2 を構成しているダイオード 2 のアノードに接続されている。ここで

、F E T 1 は、ゲートに入力された高周波信号を増幅し、これをドレインから出力整合回路 C 2（ダイオード 2）に出力する。また、ダイオード 2 は、発振電力を制限する。なお、ダイオード 2 のカソードは、高周波信号を外部に出力するための出力端子 1 0 に接続されている。

【 0 0 1 4 】

前記のとおり、実施の形態 1 にかかる発振器では、能動素子として F E T 1 を用いている。しかしながら、F E T 1 に代えてその他の種類の能動素子、例えばバイポーラトランジスタを用いてもよい。また、図 1 では、図面を簡略化するため、F E T 1 のバイアス回路の記載は省略している。なお、これらは、後記の実施の形態例 2 ～ 8 についても同様である。

【 0 0 1 5 】

また、図 1 に示す発振器では、ダイオード 2 は、F E T 1 側から出力端子 1 0 側に向かって順方向となるように配設されている。しかし、ダイオード 2 を、図 1 の場合とは逆向きに配置してもよい。上記各回路は、例えば M M I C（モノリシックマイクロ波集積回路）のように、半導体基板上に一体形成してもよい。また、セラミック基板等に伝送線路パターンを形成した後、各回路部品を実装してもよい。

【 0 0 1 6 】

実施の形態 1 にかかる発振器においては、発振が成長して発振電力が大きくなるのに伴って、ダイオード 2 の両端にかかる電圧の振幅が大きくなる。そして、ダイオード 2 にかかる順方向電圧が閾値電圧を超えると、ダイオード 2 のインピーダンスが小さくなる。この場合、図 2 に示すように、ダイオード 2 で反射される電力の割合が小さくなる。その結果、図 3 に示すように、回路全体でのループ利得が小さくなる。したがって、小信号ループ利得を低下させることなく、発振の平衡状態に達したときの発振電力を、従来よりも小さくすることができる。

【 0 0 1 7 】

実施の形態 2.

以下、図 4 ～ 図 5 を参照しつつ、本発明の実施の形態 2 を説明する。ただし、実施の形態 2 にかかる発振器は、図 1 に示す実施の形態 1 にかかる発振器と多く

の共通点を有する。そこで、以下では、説明の重複を避けるため、主として実施の形態 1 にかかる発振器と異なる点を説明する。なお、図 4 に示す発振器の各構成要素のうち、図 1 に示す発振器の構成要素と共通のものには、図 1 の場合と同一の参照番号が付されている。

【 0 0 1 8 】

図 4 は、実施の形態 2 にかかる発振器の回路図である。図 5 は、図 4 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。図 4 に示すように、実施の形態 2 にかかる発振器では、出力整合回路 C 2 に、逆並列に配置しないし接続された 2 つのダイオード 2 a、2 b が設けられている。その他の点については、実施の形態 1 にかかる発振器と同様である。

【 0 0 1 9 】

実施の形態 2 にかかる発振器では、2 つのダイオード 2 a、2 b が逆並列に配置されているので、発振電力の振幅が、正電位側と負電位側の両方で、実施の形態 1 にかかる発振器と同様の効果を得ることができる。なお、実施の形態 1 にかかる発振器では、1 つのダイオード 2 が設けられているだけであるので、上記効果は片側でしか得られない。かくして、図 5 に示すように、実施の形態 2 にかかる発振器では、小信号ループ利得を低下させることなく、発振の平衡状態に達したときの発振電力を実施の形態 1 の場合よりもさらに小さくすることができる。

【 0 0 2 0 】

実施の形態 3.

以下、図 6 ～図 7 を参照しつつ、本発明の実施の形態 3 を説明する。ただし、実施の形態 3 にかかる発振器は、図 1 に示す実施の形態 1 にかかる発振器と多くの共通点を有するので、以下では主として実施の形態 1 にかかる発振器と異なる点を説明する。なお、図 6 に示す発振器の各構成要素のうち、図 1 に示す発振器の構成要素と共通のものには、図 1 の場合と同一の参照番号が付されている。

【 0 0 2 1 】

図 6 は、実施の形態 3 にかかる発振器の回路図である。図 7 は、図 6 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。図 6 に示すように、実施の形態 3 にかかる発振器では、出力整合回路 C 2 に、同一方向に直

列に配置ないし接続された2つのダイオード2c、2dが設けられている。その他の点については、実施の形態1にかかる発振器と同様である。なお、2つのダイオード2c、2dを、ともに図6と逆向きに配置してもよい。

【0022】

実施の形態3にかかる発振器では、2つのダイオード2c、2dが同一方向に直列に配置されているので、ダイオード2c、2dの各々にかかる電圧は、実施の形態1の場合よりも低くなる。このため、図7に示すように、小信号ループ利得を低下させることなく、発振の平衡状態に達したときの発振電力を、従来よりは小さい範囲において、実施の形態例1の場合よりは大きくすることができる。

【0023】

実施の形態4.

以下、図8～図9を参照しつつ、本発明の実施の形態4を説明する。ただし、実施の形態4にかかる発振器は、図1に示す実施の形態1にかかる発振器と多くの共通点を有するので、以下では主として実施の形態1にかかる発振器と異なる点を説明する。なお、図8に示す発振器の各構成要素のうち、図1に示す発振器の構成要素と共通のものには、図1の場合と同一の参照番号が付されている。

【0024】

図8は、実施の形態4にかかる発振器の回路図である。図9は、図8に示す発振器における、ループ利得と発振電力との関係を示すグラフである。図8に示すように、実施の形態4にかかる発振器では、出力整合回路C2の、ダイオード2のアノード側およびカソード側の部位に、それぞれ、ダイオード2に直流バイアスを印加するためのチョークインダクタ7a、7b（バイアス回路）が設けられている。さらに、出力整合回路C2には、伝送線10よりFET1側の部位に、直流阻止用キャパシタ8が設けられている。その他の点については、実施の形態1にかかる発振器と同様である。なお、ダイオード2を、図8と逆向きに配置してもよい。

【0025】

実施の形態4にかかる発振器では、ダイオード2に直流バイアスを印加することができるので、ダイオード2にかかる高周波電圧の振幅の中心を、任意の電圧

に設定することができる。このため、図 9 に示すように、小信号ループ利得を低下させることなく、発振の平衡状態に達したときの発振電力を、従来よりは小さい範囲において、任意の値に設定することができる。

【 0 0 2 6 】

実施の形態 5.

以下、図 1 0 ～図 1 2 を参照しつつ、本発明の実施の形態 5 を説明する。ただし、実施の形態 5 にかかる発振器は、図 1 に示す実施の形態 1 にかかる発振器と多くの共通点を有するので、以下では主として実施の形態 1 にかかる発振器と異なる点を説明する。なお、図 1 0 に示す発振器の各構成要素のうち、図 1 に示す発振器の構成要素と共通のものには、図 1 の場合と同一の参照番号が付されている。

【 0 0 2 7 】

図 1 0 は、実施の形態 5 にかかる発振器の回路図である。図 1 1 は、図 1 0 に示す発振器における、ダイオードを用いた発振電力制限回路の通過特性と発振電力との関係を示すグラフである。図 1 2 は、図 1 0 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。

【 0 0 2 8 】

図 1 0 に示すように、実施の形態 5 にかかる発振器では、伝送線路 5 と F E T 1 との間の部位に、ダイオード 2 により発振電力を制限する発振電力制限回路 9 が設けられている。ここで、ダイオード 2 のアノードは、伝送線路 5 と F E T 1 のゲートとの間の配線に接続され、ダイオード 2 のカソードは接地されている。そして、この発振器では、出力整合回路 C 2 には、発振電力を制限するダイオードは設けられていない。その他の点については、実施の形態 1 にかかる発振器と同様である。なお、ダイオード 2 を、図 1 0 と逆向きに配置してもよい。

【 0 0 2 9 】

実施の形態 5 にかかる発振器では、発振が成長して発振電力が大きくなるのに伴って、ダイオード 2 の両端にかかる電圧の振幅が大きくなる。そして、ダイオード 2 にかかる順方向の電圧が閾値電圧を超えると、ダイオード 2 のインピーダンスが小さくなる。この場合、図 1 1 に示すように、発振電力制限回路 9 を通過

する電力の割合が小さくなる。その結果、図 1 2 に示すように、回路全体でのループ利得が小さくなる。したがって、小信号ループ利得を低下させることなく、発振の平衡状態に達したときの発振電力を、従来より小さくすることができる。

【 0 0 3 0 】

実施の形態 6.

以下、図 1 3 ～図 1 4 を参照しつつ、本発明の実施の形態 6 を説明する。ただし、実施の形態 6 にかかる発振器は、図 1 0 に示す実施の形態 5 にかかる発振器と多くの共通点を有する。そこで、以下では、説明の重複を避けるため、主として実施の形態 5 にかかる発振器と異なる点を説明する。なお、図 1 3 に示す発振器の各構成要素のうち、図 1 0 に示す発振器の構成要素と共通のものには、図 1 0 の場合と同一の参照番号が付されている。

【 0 0 3 1 】

図 1 3 は、実施の形態 6 にかかる発振器の回路図である。図 1 4 は、図 1 3 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。図 1 3 に示すように、実施の形態 6 にかかる発振器では、発振電力制限回路 9 に、逆並列に配置ないし接続された 2 つのダイオード 2 e、2 f が設けられている。その他の点については、実施の形態 5 にかかる発振器と同様である。

【 0 0 3 2 】

実施の形態 6 にかかる発振器では、発振電力制限回路 9 に 2 つのダイオード 2 e、2 f が逆並列に配置されているので、発振電力の振幅が、正電位側と負電位側の両方で、実施の形態 5 にかかる発振器と同様の効果を得ることができる。このため、図 1 4 に示すように、実施の形態 6 にかかる発振器では、小信号ループ利得を低下させることなく、発振の平衡状態に達したときの発振電力を、実施の形態 5 の場合よりもさらに小さくすることができる。

【 0 0 3 3 】

実施の形態 7.

以下、図 1 5 ～図 1 6 を参照しつつ、本発明の実施の形態 7 を説明する。ただし、実施の形態 7 にかかる発振器は、図 1 0 に示す実施の形態 5 にかかる発振器と多くの共通点を有するので、以下では主として実施の形態 5 にかかる発振器と

異なる点を説明する。なお、図 1 5 に示す発振器の各構成要素のうち、図 1 0 に示す発振器の構成要素と共通のものには、図 1 0 の場合と同一の参照番号が付されている。

【 0 0 3 4 】

図 1 5 は、実施の形態 7 にかかる発振器の回路図である。図 1 6 は、図 1 5 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。図 1 5 に示すように、実施の形態 7 にかかる発振器では、発振電力制限回路 9 に、同一方向に直列に配置ないし接続された 2 つのダイオード 2 g、2 h が設けられている。その他の点については、実施の形態 5 にかかる発振器と同様である。なお、2 つのダイオード 2 g、2 h を、ともに図 1 5 と逆向きに配置してもよい。

【 0 0 3 5 】

実施の形態 7 にかかる発振器では、発振電力制限回路 9 に 2 つのダイオード 2 g、2 h が同一方向に直列に配置されているので、ダイオード 2 g、2 h の各々にかかる電圧は、実施の形態 5 の場合よりも低くなる。このため、図 1 6 に示すように、小信号ループ利得を低下させることなく、発振の平衡状態に達したときの発振電力を、従来よりは小さい範囲において、実施の形態例 5 の場合より大きくすることができる。

【 0 0 3 6 】

実施の形態 8.

以下、図 1 7 ～図 1 8 を参照しつつ、本発明の実施の形態 8 を説明する。ただし、実施の形態 8 にかかる発振器は、図 1 0 に示す実施の形態 5 にかかる発振器と多くの共通点を有するので、以下では主として実施の形態 5 にかかる発振器と異なる点を説明する。なお、図 1 7 に示す発振器の各構成要素のうち、図 1 0 に示す発振器の構成要素と共通のものには、図 1 0 の場合と同一の参照番号が付されている。

【 0 0 3 7 】

図 1 7 は、実施の形態 8 にかかる発振器の回路図である。図 1 8 は、図 1 7 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。図 1 7 に示すように、実施の形態 8 にかかる発振器では、伝送線路 5 と発振電力制限

回路 9 との間の配線に、ダイオード 2 に直流バイアスを印加するためのチョークインダクタ 7 が設けられている。その他の点については、実施の形態 5 にかかる発振器と同様である。なお、ダイオード 2 を、図 17 とは逆向きに配置してもよい。

【0038】

実施の形態 8 にかかる発振器では、ダイオード 2 に直流バイアスを印加することができ、ダイオード 2 にかかる高周波電圧の振幅の中心を、任意の電圧に設定することができる。このため、図 18 に示すように、小信号ループ利得を低下させることなく、発振の平衡状態に達したときの発振電力を、従来よりは小さい範囲において、任意の値に設定することができる。

【0039】

【発明の効果】

本発明にかかる半導体集積回路装置は、ダイオードを用いた電力振幅を制限する回路構造を持つため、小信号ループ利得を低下させることなく、発振が平衡状態に達したときの発振電力を小さくすることができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 にかかる発振器の回路図である。

【図 2】 図 1 に示す発振器における、ダイオードの反射特性と発振電力との関係を示すグラフである。

【図 3】 図 1 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。

【図 4】 本発明の実施の形態 2 にかかる発振器の回路図である。

【図 5】 図 4 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。

【図 6】 本発明の実施の形態 3 にかかる発振器の回路図である。

【図 7】 図 6 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。

【図 8】 本発明の実施の形態 4 にかかる発振器の回路図である。

【図 9】 図 8 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。

すグラフである。

【図 1 0】 本発明の実施の形態 5 にかかる発振器の回路図である。

【図 1 1】 図 1 0 に示す発振器における、発振電力制限回路の通過特性と発振電力との関係を示すグラフである。

【図 1 2】 図 1 0 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。

【図 1 3】 実施の形態 6 にかかる発振器の回路図である。

【図 1 4】 図 1 3 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。

【図 1 5】 実施の形態 7 にかかる発振器の回路図である。

【図 1 6】 図 1 5 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。

【図 1 7】 実施の形態 8 にかかる発振器の回路図である。

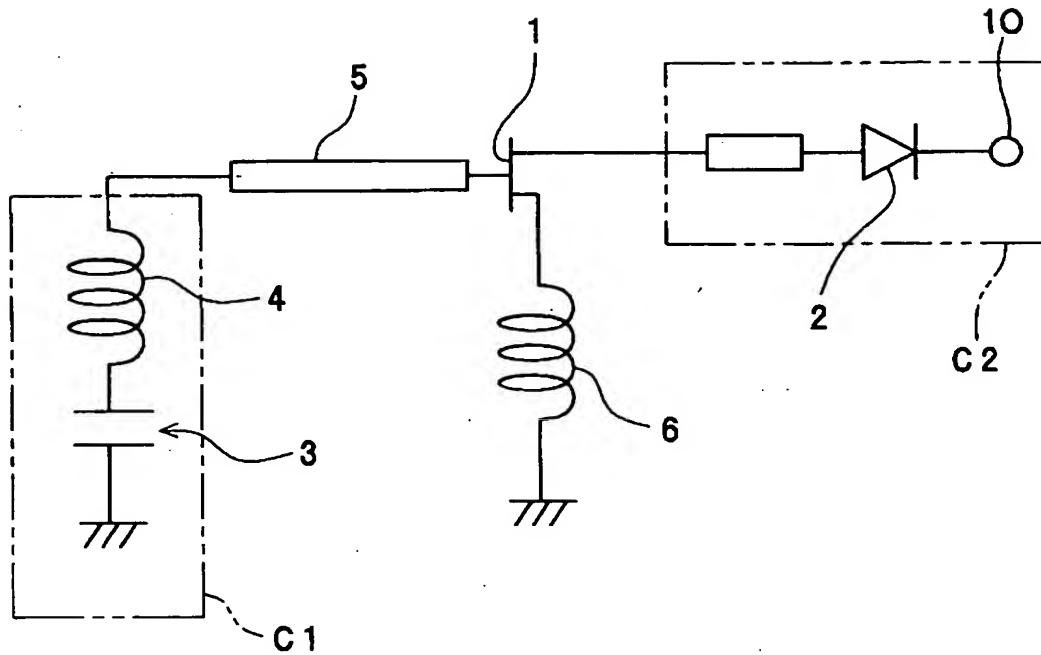
【図 1 8】 図 1 7 に示す発振器における、ループ利得と発振電力との関係を示すグラフである。

【符号の説明】

C 1 LC 直列共振回路、 C 2 出力整合回路、 1 FET、 2 ダイオード、 2 a ~ 2 h ダイオード、 3 キャパシタ、 4 インダクタ、 5 伝送線路、 6 ソースインダクタ、 7 チョークインダクタ、 7 a チョークインダクタ、 7 b チョークインダクタ、 8 直流阻止用キャパシタ、 9 発振電力制限回路、 1 0 出力端子。

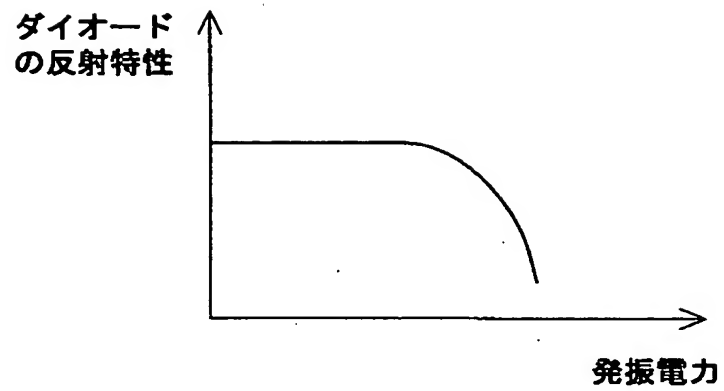
【書類名】 図面

【図 1】

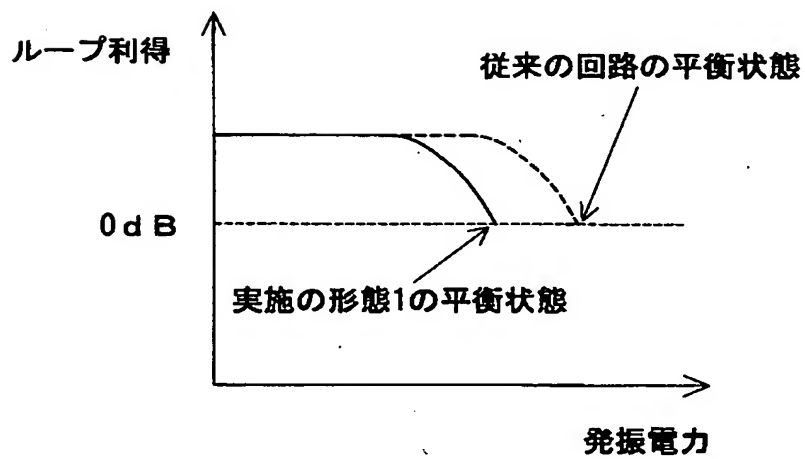


- 1: FET
- 2: ダイオード
- 3: キャパシタ
- 4: インダクタ
- 5: 伝送線路
- 6: ソースインダクタ
- C1: 直列共振回路
- C2: 出力整合回路

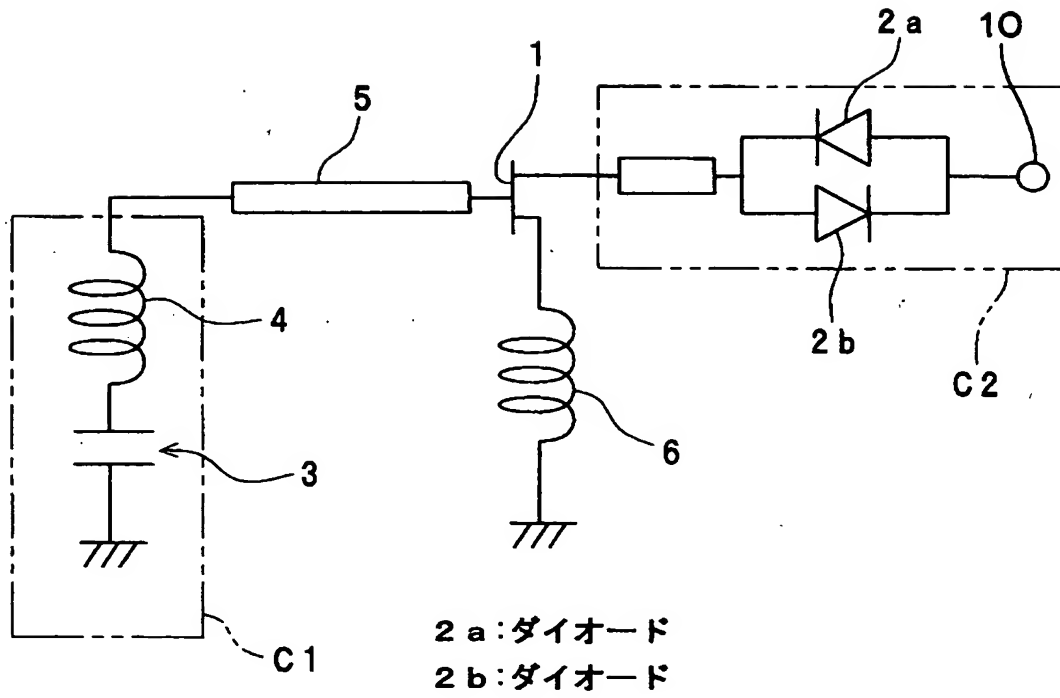
【図 2】



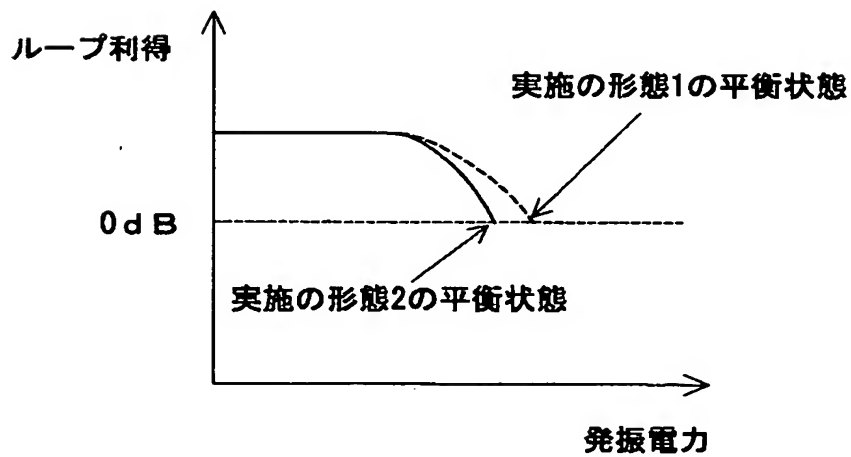
【図 3】



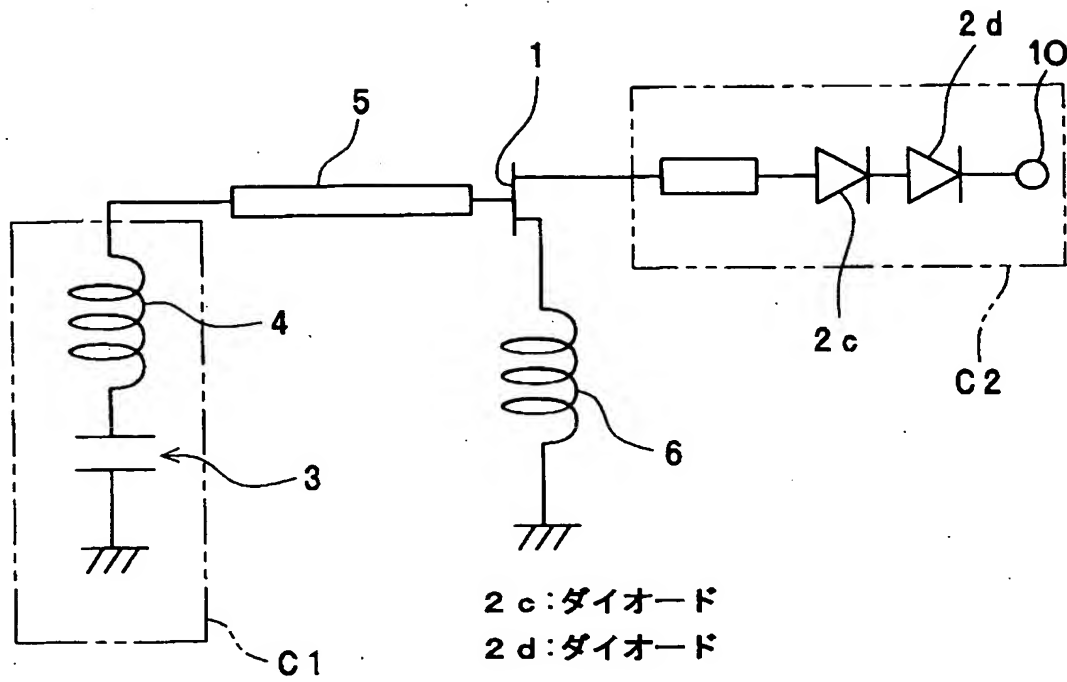
【図 4】



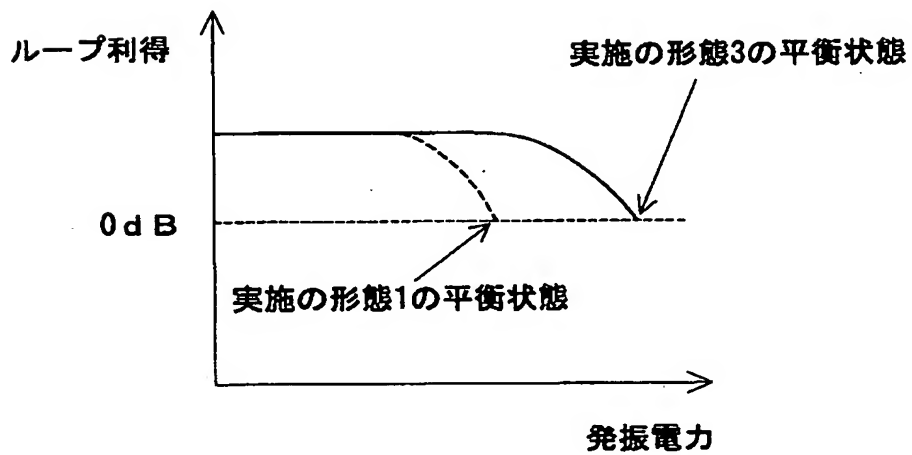
【図 5】



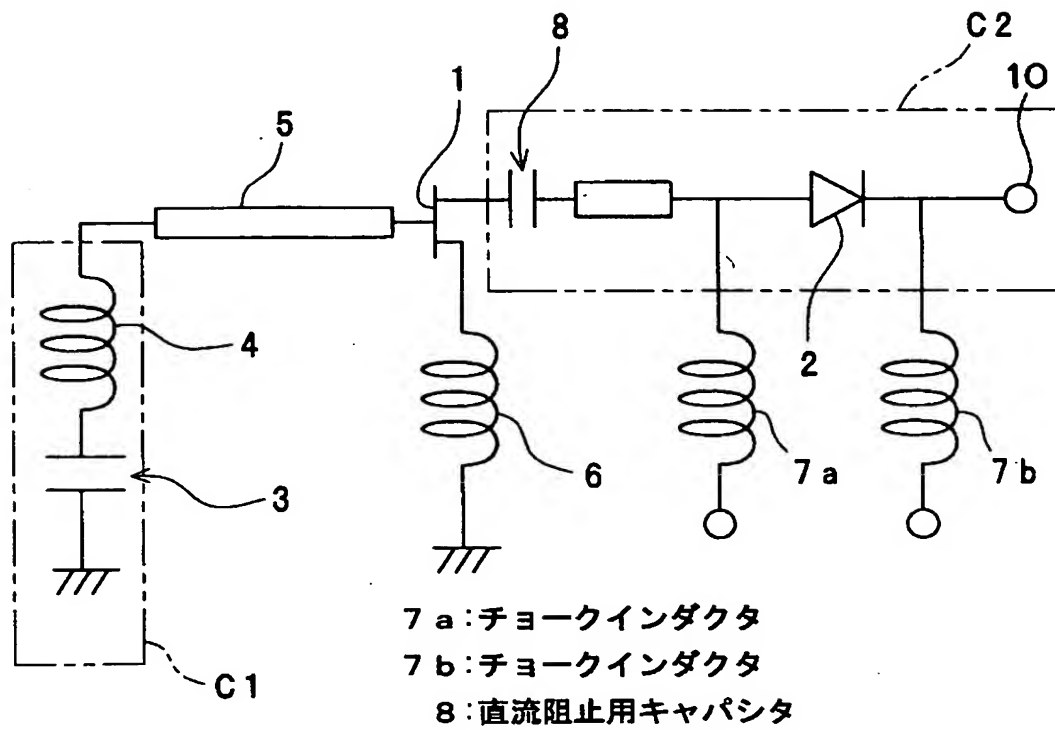
【図 6】



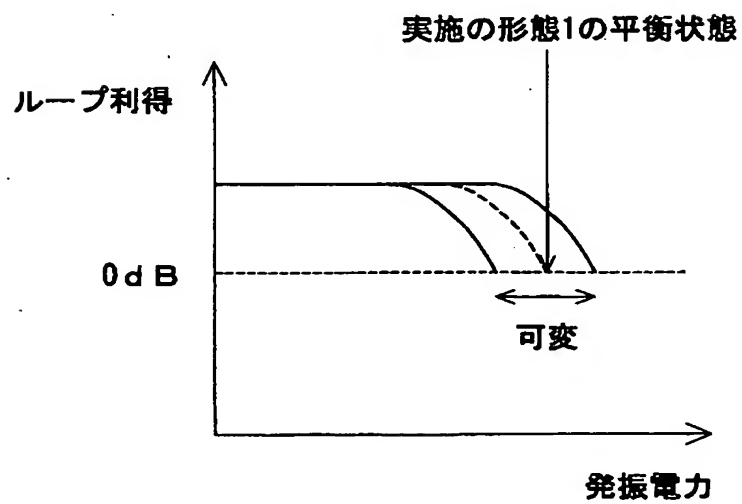
【図 7】



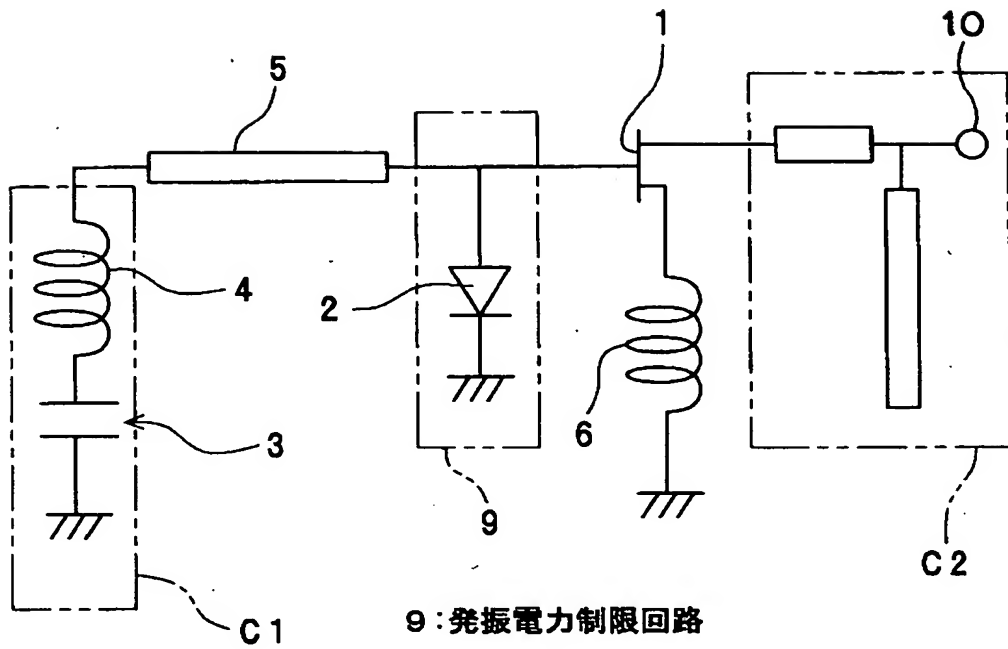
【図 8】



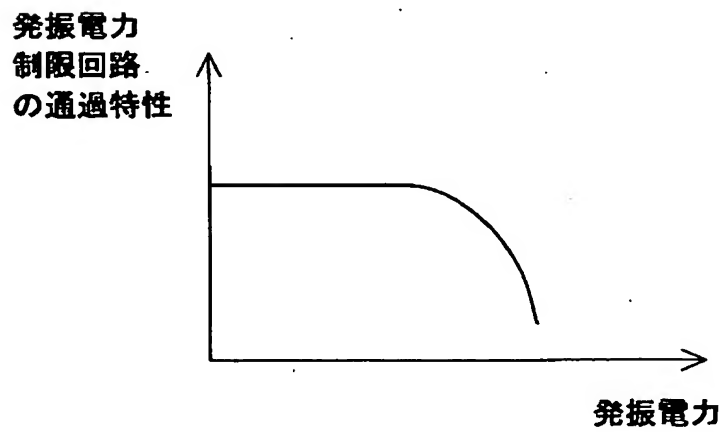
【図 9】



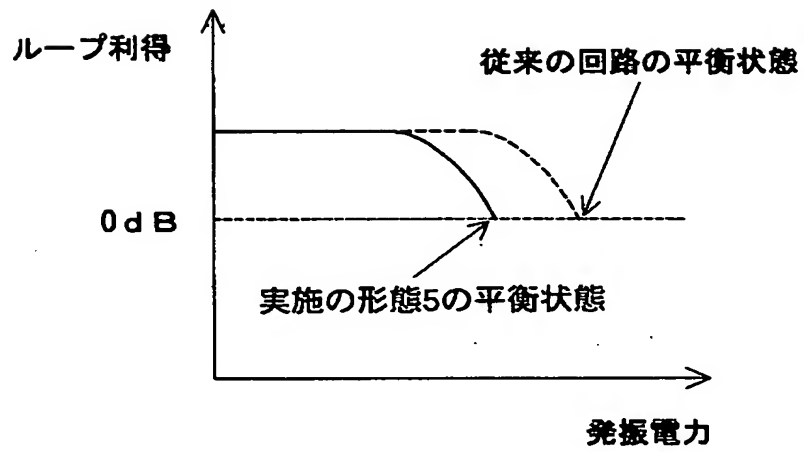
【図 1 0】



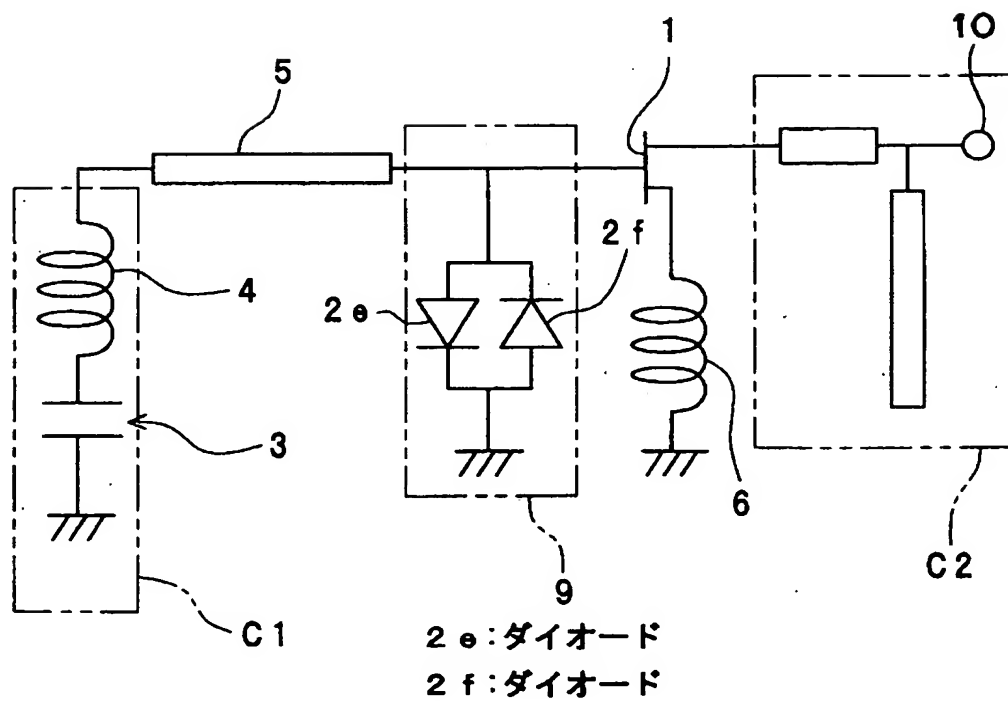
【図 1 1】



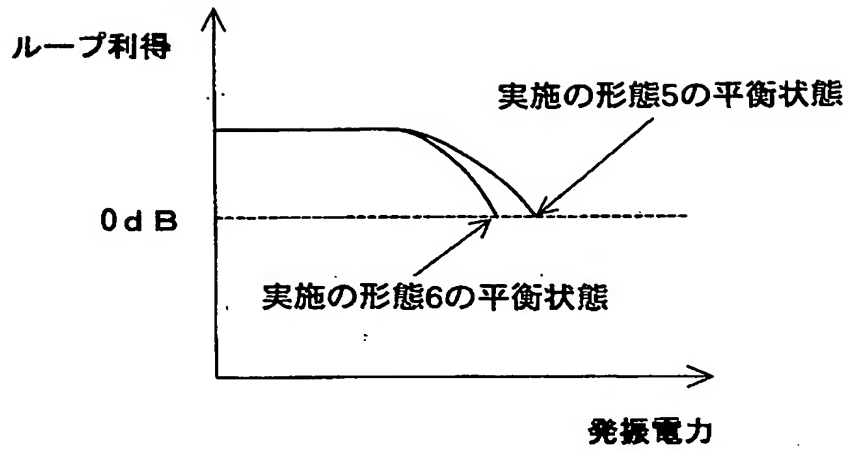
【図 1 2】



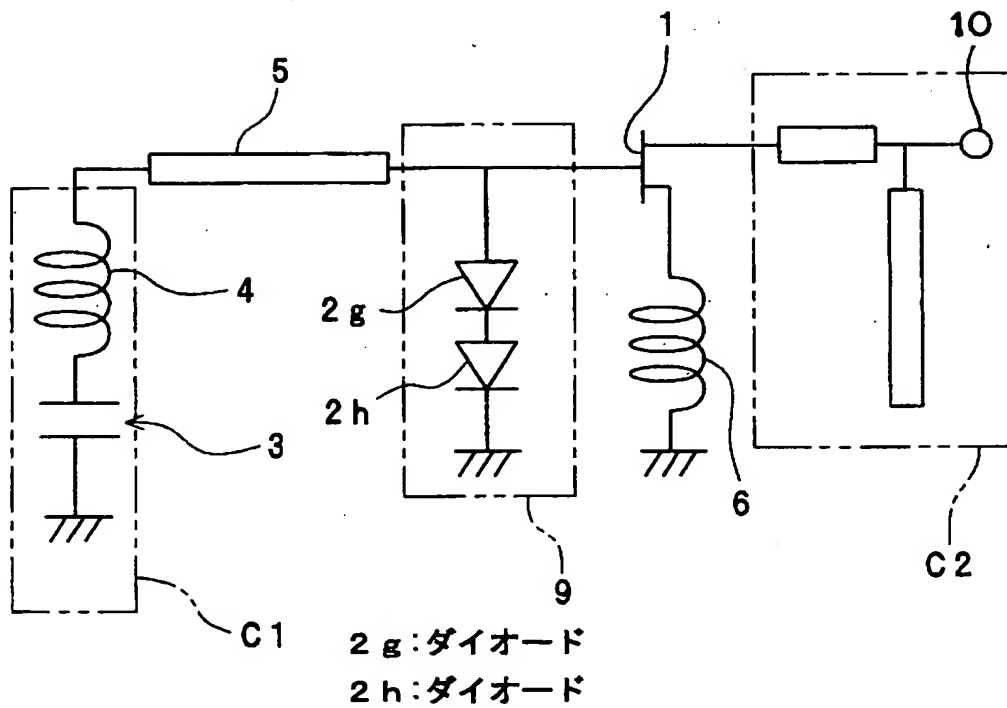
【図 1 3】



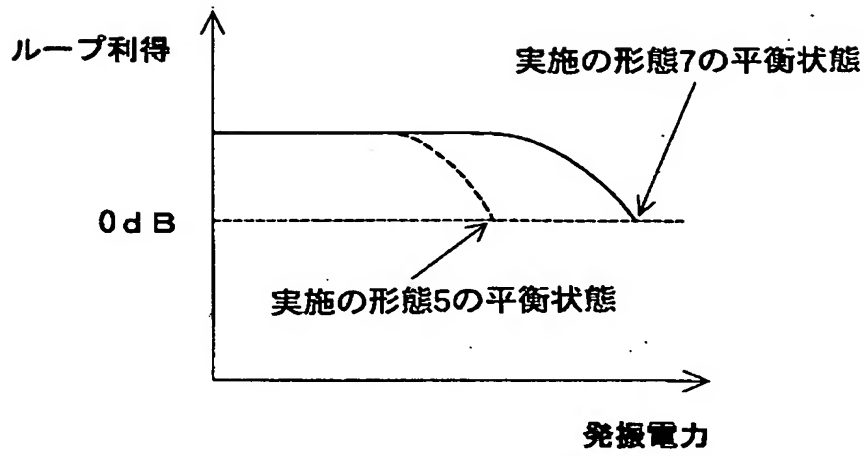
【図 1 4】



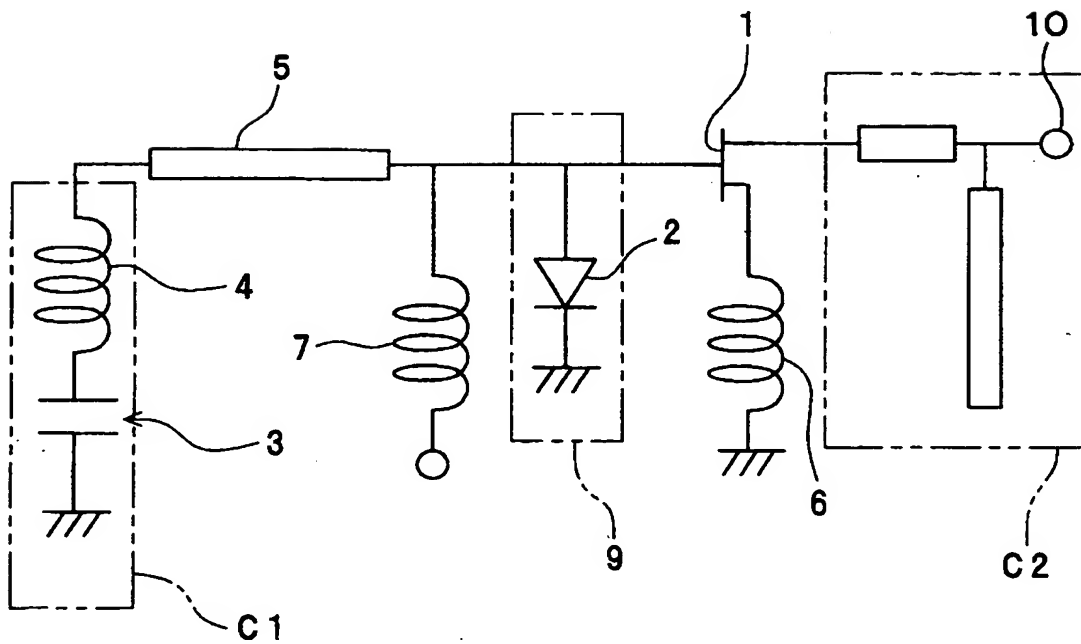
【図 1 5】



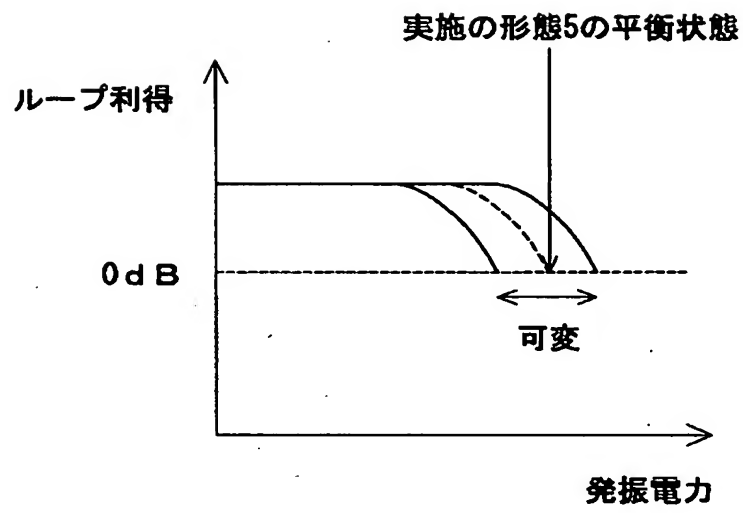
【図16】



【図17】



【図 1 8】



【書類名】 要約書

【要約】

【課題】 小信号ループ利得を低下させることなく、発振の平衡状態に達したときの発振電力を小さくすることができる発振器を提供する。

【解決手段】 発振器においては、半導体材料からなる基板の一方の主面に、FET 1 と、ダイオード 2 を備えた出力整合回路 C 2 と、キャパシタ 3 とインダクタ 4 とを備えた LC 直列共振回路 C 1 と、伝送線路 5 と、ソースインダクタ 6 とが配設されている。FET 1 のソースは、ソースインダクタ 6 を介して接地されている。FET 1 のドレインは、伝送線 1 0 を介して、出力整合回路 C 2 を構成しているダイオード 2 のアノードに接続されている。FET 1 は、ゲートに入力された高周波信号を増幅し、ドレインから出力整合回路 C 2 に出力する。ダイオード 2 は、発振電力を制限する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社